

POWER SUPPLY VOLTAGE FLUCTUATION CORRECTING METHOD IN PULSE WIDTH MODULATION AMPLIFIER

Patent Number: JP61039708
Publication date: 1986-02-25
Inventor(s): ISHIKAWA TSUTOMU
Applicant(s): AKAI ELECTRIC CO LTD
Requested Patent: ☐ JP61039708
Application Number: JP19840158987 19840731
Priority Number(s):
IPC Classification: H03F3/217; H03F1/30
EC Classification:
Equivalents: JP1741602C, JP4031203B

Abstract

PURPOSE: To eliminate output fluctuation due to power supply voltage fluctuation by detecting the fluctuation of a power supply voltage fed to a power amplifier circuit, converting the detected signal into a digital signal and using the digital signal so as to correct an input signal.

CONSTITUTION: When an input signal S_{in} is an analog signal, a level adjusting circuit 5 adjusts a level of a power supply voltage + or -V fed to a power amplifier circuit 2 from a power supply 4 and detects the fluctuation. That is, the level of a power supply voltage +V is decreased by a ΔV , the power voltage is set to a level (a) when it is a specified voltage to a sawtooth reference pulse CP so that the upper limit of the expected fluctuation is a level (b) and the lower limit is within a level (c), and the fluctuated voltage ΔV is inputted to a pulse width modulation (PWM) circuit 6. The PWM circuit 6 applies the pulse width modulation to the fluctuated voltage ΔV to convert it into a digital signal. That is, the fluctuated voltage ΔV is compared with the reference pulse CP to output a signal A of pulse width modulation waveform going to "H" only at $\Delta V > C_p$. The duty of the signal A is selected to 10% at, e.g., the specified voltage so as to attain level adjustment by the level adjusting circuit.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-39708

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月25日

H 03 F 3/217
1/30

7827-5J
6932-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 パルス幅変調アンプにおける電源電圧変動補正方法

⑯ 特 願 昭59-158987

⑰ 出 願 昭59(1984)7月31日

⑱ 発 明 者 石 川 勉 東京都大田区東糀谷2丁目12番14号 赤井電機株式会社内

⑲ 出 願 人 赤井電機株式会社 東京都大田区東糀谷2丁目12番14号

⑳ 代 理 人 弁理士 大 澤 敬

明 細 書

1. 発明の名称

パルス幅変調アンプにおける電源電圧変動補正方法

2. 特許請求の範囲

1 入力信号をパルス幅変調波に変換して電力増幅回路のパワートランジスタをオン・オフ制御することによって電力増幅するパルス幅変調アンプにおいて、前記電力増幅回路に供給する電源電圧の変動を検出してデジタル信号に変換し、該デジタル信号によって前記入力信号又はそのパルス幅変調波を補正して前記電源電圧の変動による出力変動をなくすことを特徴とする電源電圧変動補正方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、パルス幅変調アンプ（以下「PWMアンプ」と略称する）における電源電圧変動補正方法に関する。

〔従来の技術〕

PWMアンプは、入力信号のレベルをパルス波形のデューティによって表わすパルス幅変調波に変換して電力増幅するもので、例えば第4図に示すように、パルス幅変調(PWM)回路1と電力増幅回路2とローパスフィルタ3及び電源4とによって構成される。

そして、PWM回路1としては、例えば第5図に示すような比較器を使用し、第6図(イ)に示すようなアナログの入力信号 S_{in} を鋸歯状波の基準パルス C_p と比較して、 $S_{in} > C_p$ の時に出力を“H”、 $S_{in} < C_p$ の時に出力を“L”にして同図(ロ)に示すようなパルス幅変調波の信号 S_{pwm} に変換する。

この信号 S_{pwm} のデューティ TH/T が入力信号レベルに対応する。

電力増幅回路2は、例えば第5図に示すように直列接続したNPN型とPNP型のパワートランジスタ Q_1 、 Q_2 を正負電源の間に接続し、PWM回路1からのパルス幅変調波の信号 S_{pwm} によってこのパワートランジスタ Q_1 、 Q_2 をオン・

オフ制御 (S_{pwm} が“H”のときは Q_1 がオンで Q_2 がオフ、 S_{pwm} が“L”のときは Q_2 がオンで Q_1 がオフ)し、両トランジスタ Q_1 と Q_2 のエミッタ接続点から第6図(ハ)に示すような電力増幅されたパルス幅変調波による出力信号 S_{po} を得る。

この出力信号 S_{po} をローパスフィルタ3を通すと、高周波成分が除去されて第6図(ニ)に示すように、入力信号 S_{in} と相似波形の出力信号 S_{out} (出力信号 S_{po} のデューティに応じたレベルの信号で、デューティ50%の時出力レベルが0)となる。

なお、この出力信号によつて例えばスピーカを駆動するような場合には、そのボイスコイルがローパスフィルタの役目をなすので、電力増幅回路2の出力信号を直接スピーカに供給することができる。

また、入力信号 S_{in} がパルス符号化されたデジタル信号(PCM信号)である場合には、PWM回路としてPCM/PWM変換器を用いてパルス

幅変調波の信号に変換すればよい。

このようなPWMアンプは、回路構成が簡単で、しかも電力増幅をパワートランジスタのオン・オフによるスイッチング動作によつて行なうため効率が常に略100%であり、その有用性が注目されている。

〔発明が解決しようとする問題点〕

しかしながら、このようなPWMアンプは、上述のように電力増幅をパワートランジスタのスイッチング動作によつて行ない、常に電源電圧をパルス幅変調して出力することになるため、電源電圧が変動すると、例えば第6図(ハ)に破線で示すように、全ての信号レベルにおいてその影響がそのまま出力信号波形に表われてしまうという問題点があった。

この問題を解決するため、電力増幅回路のパワートランジスタを完全にオンさせないようにその入力側でPWM信号の振幅を制限する方法があるが、この方法では出力段の効率を下げってしまうことになり、PWMアンプの最大のメリットを低下

- 3 -

させる結果になる。

〔問題点を解決するための手段〕

この発明によるパルス幅変調アンプにおける電源電圧変動補正方法は、上記の問題点を解決するため、電力増幅回路に供給する電源電圧の変動を検出してデジタル信号に変換し、そのデジタル信号によつて入力信号又はそのパルス幅変調波を補正して、電源電圧変動による出力変動をなくすようにしたものである。

〔実施例〕

以下、この発明の実施例を第1図乃至第3図を参照して説明する。

第1図は、入力信号 S_{in} がアナログ信号の場合の一実施例を示すPWMアンプのブロック構成図であり、第4図の従来例と同じ部分には同一符号を付してあり、それらの説明は省略する。

レベル調整回路5は、電源4から電力増幅回路2に供給する電源電圧 $\pm V$ のレベルを調整して変動分を検出する役目をなすものである。

電源電圧 $+V$ と $-V$ の絶対値は等しいので、そ

- 4 -

の一方の電圧 $+V$ のレベルを第2図(イ)に ΔV で示すように下げて、鋸歯状波の基準パルス C_p に対して、電源電圧が規定電圧の時にaのレベルになり、予想される変動の上限がbのレベル、下限がcのレベル内に納まるようにし、この変動電圧 ΔV をPWM回路6に入力させる。

PWM回路6は、この変動電圧 ΔV をパルス幅変調してデジタル信号に変換する役目をなす。

すなわち、第2図(イ)に示すように変動電圧 ΔV を基準パルス C_p と比較して、同図(ロ)に示すように $\Delta V > C_p$ の時だけ“H”になるパルス幅変調波形の信号Aを出力する。

この信号Aのデューティが、電源電圧の変動によつて例えば0~20%の間で変化し、規定電圧の時に10%になるように、前述のレベル調整回路によるレベル調整を行なう。

この信号Aをインバータ7によつて反転して、第2図(ハ)に示すようなデューティが80~100%の間で変化するパルス波形のデジタル信号Bにし、これをアンド回路8に入力する。

アンド8は、この信号BとPWM回路1から入力する第2図(ニ)に示すようなパルス幅変調された信号 S_{pwm} とのアンドをとり、同図(ホ)に示すように、信号 S_{pwm} が“H”のパルス幅を信号Bが“L”の期間だけ減らしてデューティを補正した信号 S_{pwm}' を電力増幅回路2に入力させる。

この補正量は、電源電圧の変動を相殺するように変化し、電源電圧が規定値より大きくなると出力信号 S_{po} のデューティの減少を10%以上にし、電源電圧が規定値より小さくなると10%以下にする。

ローパスフィルタ3を通した出力信号 S_{out} のパワーは、電力増幅回路2の出力信号 S_{po} の振幅とデューティの積に比例するので、電源電圧の変動によつて第6図(ハ)に破線で示したように出力信号 S_{po} の振幅が変化しても、その分だけ上述のようにデューティを補正することによつて出力信号 S_{out} のパワー変動をなくすることができる。

なお、この実施例によると、電源電圧が規定値の時でも電力増幅回路2へ入力するパルス幅変調

波の信号のデューティを一定量(例えば10%)だけ小さくしてしまうので、ダイナミックレンジがそれだけ減少することになるが、電源電圧の変動幅はそれ程大きくないので実用上問題はない。

さらに、この点を改善するために、第1図のアンド回路8の出力信号 S_{pwm}' に、一定のデューティ(例えば10%)分だけパルス幅を増加させる回路を設ければ、電源電圧が規定値の時に、出力信号 S_{pwm}' のデューティがPWM回路1の出力信号 S_{pwm} のデューティと同じになるようにすることができる。

次に、第3図によつて入力信号 S_{in} がデジタル信号(PCM信号)である場合の実施例を説明する。

この場合には、電源4から電力増幅回路2に供給される電源電圧 $\pm V$ の絶対値を規定値と比較とするなどにより、その変動分 ΔV を電圧変動検出回路10によつて検出する。

この変動分 ΔV をA/D変換器によつて正負を反転して入力信号 S_{in} と同様なデジタル信号 D_v

- 7 -

に変換する。

このデジタル信号 D_v を加算器12に入力する。加算器12は、入力信号 S_{in} とこの電圧変動に応じたデジタル信号 D_v とを加算して(電源電圧が規定値より大きくなつた時は負の値を加算し、規定値より小さくなつた時は正の値を加算する)、入力信号 S_{in} のデジタル値を補正する。

その補正した入力信号 S_{in}' をPCM/PWM変換器13に入力してパルス幅変調波の信号 S_{pwm} に変換し、電力増幅回路2によつて電力増幅してローパスフィルタ3を通じて出力する。

CkはA/D変換器11とPCM/PWM変換器13の動作タイミングの同期をとるためのクロックパルスである。

このように、入力信号 S_{in} がデジタル信号の場合には、電圧変動分をデジタル信号に変換し、それを入力信号 S_{in} に直接加算(又は減算)することによつて補正して、電源電圧変動による出力変動をなくすることができる。

〔発明の効果〕

- 8 -

以上説明してきたように、この発明によれば、PWMアンプにおける電力増幅回路の増幅効率を低下させることなく、電源電圧の変動分を確実に補正して出力信号に対する影響をなくすることができる。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示すPWMアンプのブロック構成図、

第2図は、第1図の実施例の動作説明のための各部の信号波形図、

第3図は、この発明の他の実施例を示すPWMアンプのブロック構成図である。

第4図は、従来のPWMアンプの一例を示すブロック構成図、

第5図は、同じくそのPWM回路と電力増幅回路の具体例を示す回路図、

第6図は、第4図の従来例の動作説明のための各部の信号波形図である。

- | | |
|--------------|------------|
| 1 … PWM回路 | 2 … 電力増幅回路 |
| 3 … ローパスフィルタ | 4 … 電源 |

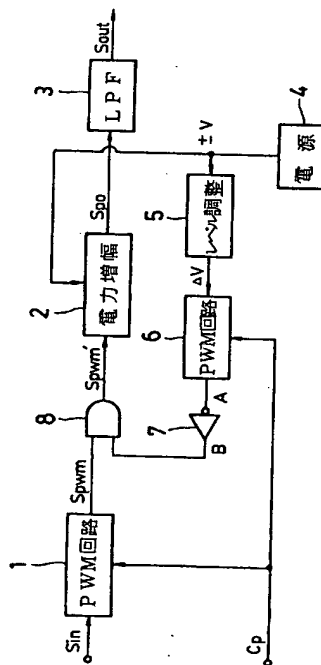
- 5 … レベル調整回路 6 … P W M 回路
 7 … インバータ 8 … アンド回路
 10 … 電圧変動検出回路
 11 … A / D 変換器 12 … 加算器
 13 … P C M / P W M 変換器

出願人 赤井電機株式会社
 代理人 弁理士 大澤 敬

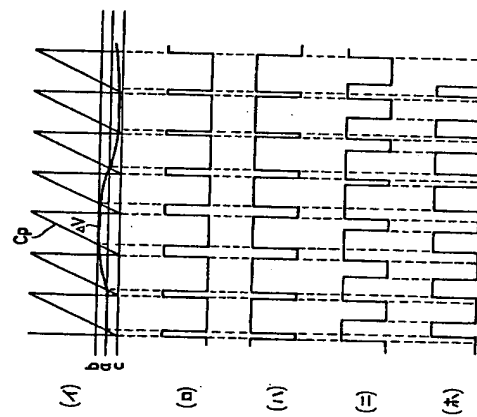


- 11 -

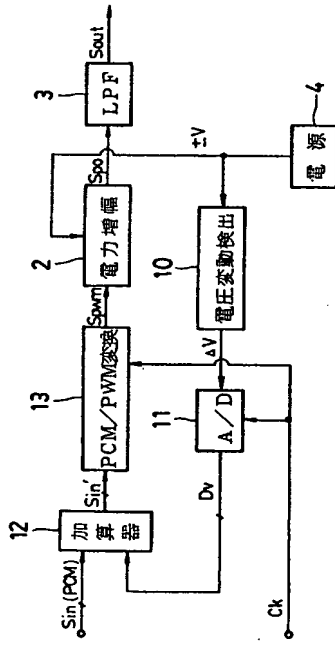
第 1 図



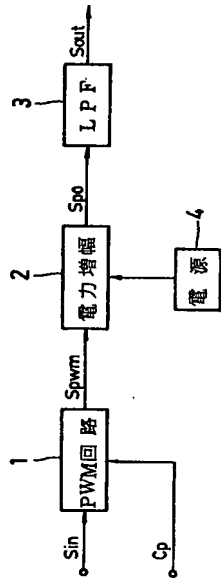
第 2 図



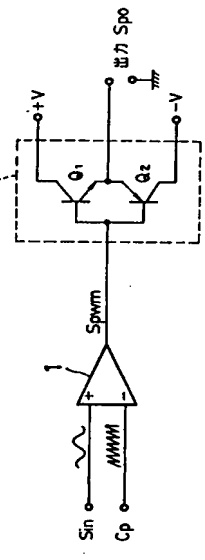
第3図



第4図



第5図



第6図

